2020년도 2학기 컴퓨터공학실험Ⅱ

2주차 예비보고서

20191621 이민영

1. HDL이 무엇인지 조사하고 Verilog 이외의 HDL에 대하여 조사하시오.

HDL이란 디지털 회로의 설계 자동화에 사용하는 하드웨어 기술 언어로 전자회로를 정밀하게 기술하는 데 사용하는 컴퓨터 언어이다. HDL은 프로세서와 같은 특정한 집적회로를 설계하기 위해서 사용되거나, FPGA와 같은 PLD를 프로그램하기 위해서 사용된다.

HDL은 소프트웨어 프로그래밍 언어와 비슷하지만 약간의 차이가 있다. 두 언어 모두 컴파일러에 의해서 처리가 되는 공통점이 있지만, HDL은 고유의 포맷으로 칩의 logic을 기술한 파일을 생성하고, 산업표준인 EDIF 포맷으로 변환한다. 마지막으로 JEDEC 포맷 파일로 변환한다. 소프트웨어 컴파일어의 경우에는 마이크로프로세서에서 직접 실행되는 명령어를 생성한다.

<Verilog> 이외의 HDL

ABEL : ABEL은 프로그래머블 논리 소자 (PLD)를 프로그래밍하는데 사용되는 프로그래밍 언어와 관련된 설계도구이다. 논리를 기술하기 위해서 사용되며 하드웨어 프로그래머에 다운로드 할 수 있는 테스트 벡터를 생성하는데도 사용된다.

AHDL : AHDL은 CPLD와 FPGA를 프로그램 하기 위한 알테라 사의 자산 하드웨어 기술 언어이다.

VHDL : VHDL은 디지털 회로 및 혼합 신호를 표현하는 하드웨어 기술 언어이다. FPGA나 집적회로 등의 전자공학 회로를 처리하는 설계 자동화에 사용한다. 기존의 심볼에 의한 회로도 작성 대신 언어적 형태로 전자회로의 기능을 표현한다. 아날로그 신호로 주로 표현하지만 실제 활용면에서는 디지털회로에 많이 적용되어 사용한다.

1. Verilog의 역사와 발전 과정을 조사하시오.

Verilog는 Phil Moorby가 모의시험용 언어로 개발했었다. 이후 Cadence Systems에 인수되어서 업계 표준 HDL로 자리잡았다. 1995년에 IEEE표준이 만들어졌고, 2001년 변경이 있었다. 그러나 디지털 시스템의 설계에서 검증의 필요성이 커지면서 이를 지원하기 위해서 확장이 필요해졌고, 이로 인해서 2005년 System Verilog가 IEEE표준으로 만들어졌다. 현재 VHDL과 Verilog는 Accellera라는 단체가 유지, 관리하고 있다.

1. Verilog의 기본적인 구조와 문법에 관하여 조사하시오.